Journal of Engineering Sciences and Information Technology
Volume (6), Issue (4): 30 Jun 2022
P: 1 - 27

ISSN: 2522-3321

مجلة العلوم الهندسية وتكنولوجيا المعلومات
المجلد (6)، العدد (4): 30 يونيو 2022م
ص: 1 - 27

Reducing The Power Consumption of The CMOS CISC Processor by Reducing The Transitions between 0 and 1 in The Control Unit

Mouhamad Ayman Naal

Amer Bouchi

Toulai Abd Alkader Shaheen

Faculty of Electrical & Electronic Engineering || University of Aleppo || Syria

Abstract: Power consumption is very important in digital design. Many portable devices, such as cell phones, laptops and personal-use medical devices, use battery as energy source.

To design low-power processor, a number of techniques were developed, such as clock gate, power gate, and architectural redesign of parts of the processor. In addition to hardware techniques, the software as well can affect the power consumption. To reduce energy consumption, it is necessary to choose the factor that affect the energy consumption of a program.

An important factor of power consumption of CMOS circuits is the rate of switching between 0 and 1. This papers presents a new design of the control unit of the processor which reduces the 0, 1 transitions during the program execution, and so reduces the energy consumption of the processor. To achieve this objective, a deep study of the design of the microprogramming of x86 assembly language instruction set is conducted. The new control unit save by 7.81%.

Keywords: CISC processor, power consumption, transitions, instructions, commotional circuits.

تخفيض الطاقة المستهلكة في معالج CMOS CISC عبر تخفيض الانتقالات بين 0 و1 في وحدة التحكم

محمد أيمن نعال

عامر بوشي

تولاي عبد القادر شاهين

كلية الهندسة الكهربائية والإلكترونية || جامعة حلب || سوريا

المستخلص: استهلاك الطاقة مهمٌّ جدًّا في التصميم الرقمي. تستخدم العديد من الأجهزة المحمولة البطارية كمصدر للطاقة، مثل الهواتف المحمولة وأجهزة الكمبيوتر المحمولة والأجهزة الطبية ذات الاستخدام الشخصي.

تم تطوير عدد من التقنيات لتصميم معالج منخفض الطاقة، مثل بوابة الساعة (clock gate)، وبوابة الطاقة (power gate)، وإعادة التصميم المعماري لأجزاء المعالج. أحد العوامل المهمة في استهلاك الطاقة في الدارات المنطقية المصنَّعة بتقنيَّة CMOS هو معدَّل التبديل بين 0 و1. يقدِّم هذا البحث تصميمًا جديدًا لوحدة التحكم يخفض من استهلاك الطاقة في المعالج. لتحقيق هذا الهدف، تم إجراء دراسة عميقة لتصميم إشارات التحكم الناتجة عن فكِّ شيفرة التعليمة لمجموعة تعليمات لغة التجميع x86. نتج عن هذه الدراسة تخفيض الانتقالات بين 0 و1 في الإشارات الناتجة عن وحدة التحكم خلال تنفيذ التعليمات المتتالية للبرنامج، البنية الجديدة لوحدة التحكم أعطت توفيرًا في الطاقة المستهلكة وصل إلى نسبة 7.81%.

الكلمات المفتاحية: معالج CISC، استهلاك الطاقة، الانتقالات، التعليمات، الدارات التركيبية.

1. المقدمة.

كان الاهتمام الرئيسي في السنوات الأولى لتصميم الدارات الرقمية يتعلق بالأداء (Performance) ومساحة الدارة المتكاملة (Die Area) (Tiwari، Ashar، وMalik، 1993)، (Tsui، Pedram، وDespain، 1993)، وقد أعادت التقنيات الميكروية والنانوية (Sub micrometer and nanometer technologies) لاستهلاك الطاقة الاهتمام من جديد (Shakhsheer، Zhang، Otis، وCalhoun، A custom processor for node and power management of a battery-less body, sensor node in 130 nm CMOS، 2012)، (Su، وآخرون، 2017). بعض المشاكل ذات الصلة هي ارتفاع الحرارة في الأنظمة عالية الأداء وعمر البطارية في الأجهزة المحمولة.

يمثل التبديد الكلي للطاقة في دوائر CMOS تحديًا كبيرًا في صناعة أشباه الموصلات بسبب تيار التسرب وسعة الحمولة. ويزداد التبديد الديناميكي في دارات CMOS مع ازدياد تردد العمل (Brzozowski وA، 2008).

أدَّى النموُّ المتسارع لكل من تبديد الطاقة الثابت والديناميكي في أي خيار من خيارات تقنية معالجة CMOS إلى زيادة تكلفة وكفاءة النظام. تُستخدم خيارات التكنولوجيا لمواصفات التنفيذ وعادةً ما تعتمد على التحسين وقيود الأداء على الشريحة (Bol، Ambroise، Flandre، وLegat، Analysis and minimization of practical energy in 45nm subthreshold logic circuits، 2008). سيظل الطلب على الحد من تبديد الطاقة في تقنية CMOS يمثل تحديًا نشطًا في مجال البحث لسنوات قادمة (Bol، Ambroise، Flandre، وLegat، Interests and limitations of technology scaling for subthreshold logic، 2009). لا تزال كثافة الترانزستورات في الدوائر المتكاملة تتزايد، الأمر الذي يتطلب بدوره تقنيات تبريد وتغليف باهظة الثمن. مع وضع ذلك في الاعتبار، يتم تقليص جهد التغذية لتقليل تبديد طاقة التبديل. علاوة على ذلك، يتم أيضًا تقليص جهد العتبة لمقايضات الأداء. ومع ذلك، فإن تحجيم جهد العتبة قد أدى إلى زيادة في تبديد الطاقة (الثابت) للتسرب. ينمو تبديد الطاقة الثابت الآن بشكل كبير بما يتناسب مع تبديل تبديد الطاقة الديناميكي في تقنيات ما دون الميكرون العميق والأجهزة التي تعمل بالبطاريات. كلما طالت مدة عمل البطارية، كان توفير طاقة التسرب أفضل. يرجع تبديد الطاقة الساكن بشكل أساسي إلى مكونات تيار التسرب المتدفقة في دارات CMOS عندما لا يتم تنفيذ أي عملية عليها (Y، C، وZ.، 1994) ، على سبيل المثال: أثناء وضع الخمول أو الاستعداد.

هناك منهجان رئيسان في تصميم دوائر CMOS ذات الكفاءة في استهلاك الطاقة: الأول يهتم بالتكنولوجيا وخيارات المشروع (Technology and project choices) (POLLACK، 1999). ويتضمن البحث عن مواد جديدة، وخفض جهد التغذية، وعتبة الفولتية، ومستويات الإشارة (New materials, reducing supply, threshold voltages, and doping levels) (PENZES، NYSTROM، وAND MARTIN، 2002). والثاني يتضمن تطوير بنى داخلية محسَّنة، وتغيير أسلوب ترميز البيانات (Data encoding style)، واستخدام تقنية "Pipeline"، والتوازي (parallelism)، وبوابة الساعة (clock gating) أو أي تقنية أخرى منخفضة الطاقة (PONOMAREV، KUCUK، وAND GHOSE، 2001).

2.مشكلة الدراسة:

يقدم هذا البحث دراسة حول تأثير كل من خيارات التصميم الداخلي لوحدة تحكم؛ مصنعة بتقنية CMOS؛ على استهلاك الطاقة.

يعد تقليل استهلاك الطاقة في الوحدات الوظيفية (FUs) مصدر قلق بالغ الأهمية للمعالجات فائقة السرعة. يقترح هذا البحث آلية جديدة لتخفيض استهلاك الطاقة في المعالج. ويمكن صياغة مشكلة الدراسة في النقاط الآتية:

1- إعادة دراسة التصميم المعماري لبنى معالجات فونيومان.
2- اقتراح بنى جديدة تراعي الاستهلاك الحاصل بسبب دارات CMOS. عبر تقليل التبديل في سعات الحمولة الداخلية للبوابات.
3- اقتراح توصيف ميكروي جديد لوحدة التحكم لمعالج CISC بهدف تقليل الانتقالات وبالتالي تقليل تبديل سعة الحمولة وتقليل استهلاك الطاقة.

3.فرضيات الدراسة:

تمت الدراسة على معالج يعمل وفق المعمارية MULTICYCLE CISC، ونهتم بالتوصيف المكروي للتعليمات الأكثر ورودًا ووتتابعًا وفق برامج معيارية (Agarwal)، (AmishTandon، 2018) ، تم اختيارها، ثم تعديل التوصيف المكروي لتلك التعليمات لتحسين كفاءة النشاط الانتقالي على خطوط التحكم Control Bus Lines، مما سيقلل تلقائيًا من تبديد الطاقة. يتم تنفيذ هذه الدارات بلغة VHDL. يتم تحليل الأداء العام باستخدام أدوات QUARTUZ وتم تطبيق التصميم الجديد على DE2– ALTERA FPGA BOARD.

4.أهداف البحث:

يهدف البحث إلى تحقيق كل مما يلي:

1. تقليل الانتقالات الداخلية لإشارات وحدة التحكم لمعالج CISC يعمل بنمط متعدد الدورات MULTI CYCLE.
2. إعادة تشكيل الإشارات بالشكل الذي يناسب تعليمات التجميع الأكثر تتاليًا، مما يساهم في المحافظة على سعات الحمول لبوابات CMOS أطول وقت ممكن
3. تقليل الطاقة الداخلية المستهلكة بدون أي انخفاض يذكر في السرعة.

في هذا البحث ندرس تخفيض استهلاك الطاقة في المعالج من خلال تخفيض الانتقالات الداخلية بين الصفر والواحد لإشارات التحكم عند تنفيذ التعليمات. تمت دراسة إشارات التحكم اللازمة لتنفيذ كل تعليمة من تعليمات المعالج، وكذلك تمت دراسة تتالي التعليمات ومعدل تغير إشارات التحكم على خطوط وحدة التحكم الداخلي للمعالج. ثم عملنا على تقليل تلك الانتقالات الداخلية بتعديل البنية الداخلية لوحدة التحكم، مع الحفاظ على الأداء.

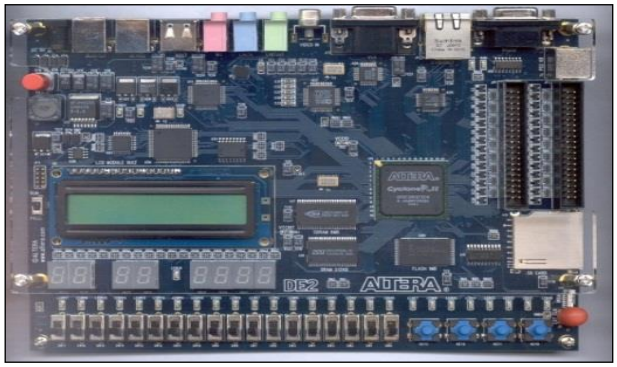
5.أهمية البحث:

تنبع الاهمية العلمية للدراسة من العمل على تخفيض استهلاك الطاقة للمعالج المصغر، ودون إجراء أي تعديل أساسي على البنية الداخلية للمعالج.

1.5 التجهيزات المستخدمة في البحث:

1.1.5 العتاد الصلب:

شريحة FPGA من شركة Altera وتحديداً عائلة تجهيزات Cyclone الموضحة بالشكل (1).



الشكل (1) شريحة العمل ALTERA CYCLONE II-DE2

تتكون شريحة FPGA بشكل أساسي من ثلاثة عناصر رئيسية:

البلوكات المنطقية القابلة للبرمجة Configurable Logic Blocks (CLB): تقوم بتنفيذ التابع المنطقي

التوصيل الداخلي: تقوم بوصل CLB مع بعضها لتنجيز التابع المنطقي، وأيضاً مع أطراف الدخل والخرج.

وحدات الدخل والخرج: تستخدم لربط FPGA بالمحيط الفيزيائي.

تتكون البلوكات المنطقية القابلة للبرمجة من عدد من البلوكات المنطقية المحاطة بمجموعة من الوصلات المحلية Local connections والتي تقوم بوصل البلوكات المنطقية مع بعضها البعض ومجموعة من الوصلات العادية Global connection والتي تقوم بوصل CLB مع بعضها، تعد logic module وحدة البناء الأساسية والتي تحتوي على عناصر الحوسبة والتخزين الأساسية المستخدمة في الأنظمة الرقمية.

2.1.5 الأدوات البرمجية المستخدمة في البحث:

الجدول (1) الأدوات البرمجية

QUARTUS 9.1	يسمح بإنشاء دارات باستخدام لغات توصيف العتاد الصلبVHDL ومن ثم ترجمتها وارسالها لشريحة FPGA ليصار إلى تنفيذها.
Time quest timing analysis TOOL	يقوم بتحليل مسارات التوقيت في التصميم، ويحسب تأخر الانتشار على طول كل مسار والتحقق من أداء وتشغيل التصميم.
Power Estimation and Analysis TOOL	يوفر لنا مجموعة أدوات لتحليل الطاقة وتحسينها وتقدير استهلاك طاقة الدارة المصممة وتبديد الحرارة.

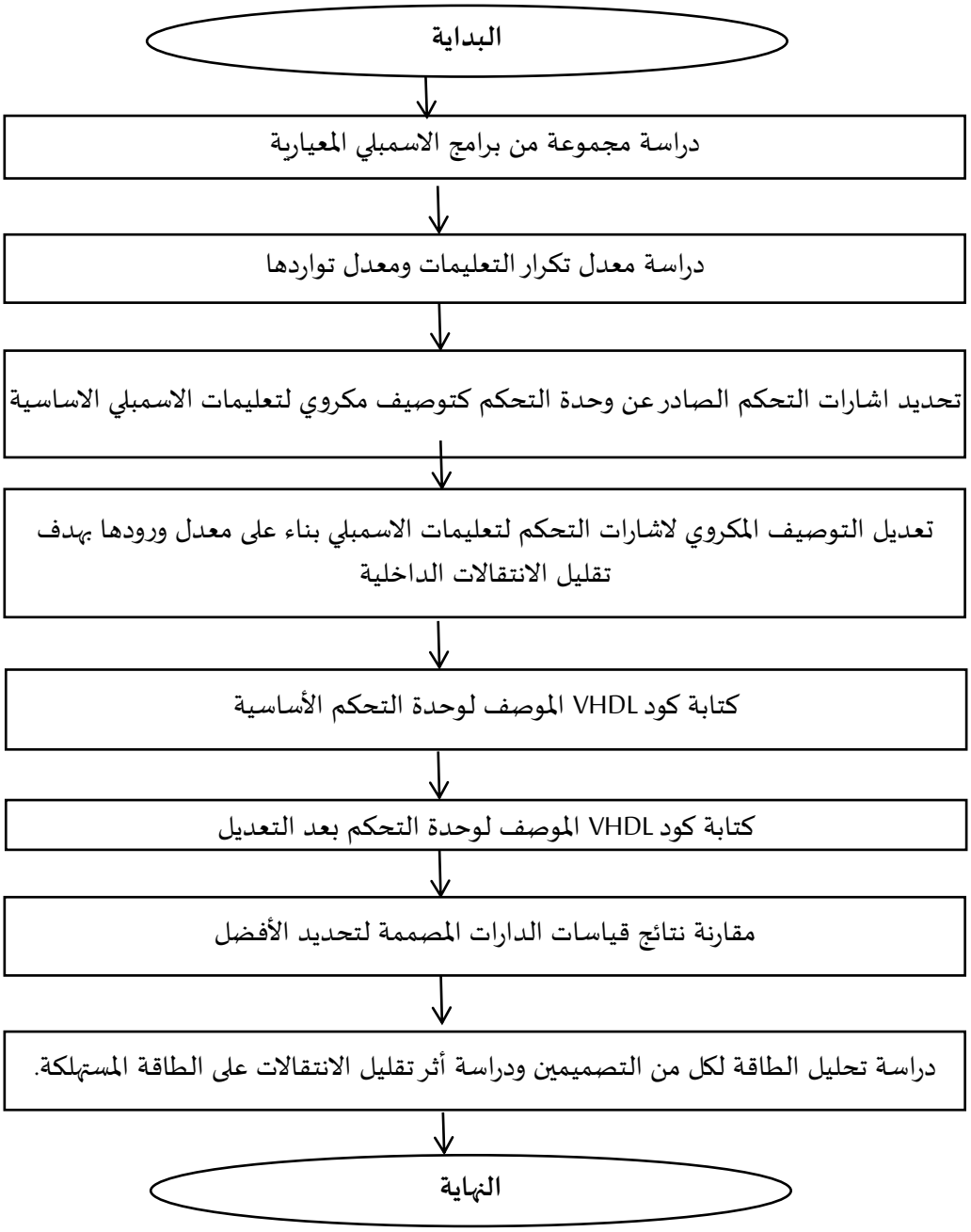
المعالج المستهدف بالدراسة معالج X8086 من البنية المعمارية CISC.

6. منهجية الدراسة:

أ- منهجية التحليل: تم تحليل سلوك كل من استهلاك الطاقة الديناميكي والثابت في تقنية CMOS للتصميم الأساسي لوحدة تحكم للمعالج X8086. تمت دراسة مجموعة من البرامج لتحليل مدى تكرار التعليمات وتحديد معدل توارد التعليمات وتحديد التوصيف المكروي للتعليمات المستدعاة لمعرفة سلسلة الواحدات والأصفار الواردة على كل خط صادر عن وحدة التحكم على حدة. تم النظر في معدل الانتقال ما بين الواحد والصفر على كلّ خط تحكم عند تنفيذ كل تعليمة في كل دورة خلال نبضة الساعة الواحدة ضمن الدورات المتعددة، وأيضا دراسة معدل الانتقال هذا بين التعليمات، ودراسة تأثير هذه الانتقالات على الأداء العام واستهلاك الطاقة.

ب- مصادر البيانات: البنية المعمارية لمعالجات CISC(Stallings، 2010)، البرامج المعيارية الأكثر تنفيذا على معالجات X8086 (Agarwal)، (AmishTandon، 2018)، التوصيف المكروي الأساسي لتعليمات التجميع.

ج- تم تنظيم العمل بالبحث كما هو واضح بالمخطط التدفقي الآتي:



7. هيكلة الدراسة:

تم تقسيم هذه الدراسة إلى ثلاث مباحث، يتناول الأول منها الإطار النظري للدراسة والدراسات السابقة، بينما يتطرق المبحث الثاني إلى التصميم المقترح لوحدة التحكم والمبحث الثالث يستعرض نتائج العمل.

1 .7 المبحث الأول- الإطار النظري والدراسات السابقة

1.1.7 الطاقة المستهلكة في دارات CMOS

يتعلق استهلاك الطاقة (Kuroda، وآخرون، 1998) بسعة الحمل، وبتبديل إشارة الخرج، وبجهد التغذية الكهربائي. تقليل أيٍّ من هذه العوامل يساعد في توفير استهلاك الطاقة ويقلِّل من المشاكل المرتبطة بارتفاع درجة الحرارة. كما تزداد موثوقية النظام بسبب تدرجات الإجهاد ذات درجات الحرارة المنخفضة على الجهاز، والعمر الطويل للبطارية في الأنظمة التي تعمل بالبطارية. هناك مكونان يحددان استهلاك الطاقة في دائرة CMOS:

- استهلاك الطاقة الثابت: وهو الناتج عن تيار التسريب في الحالة الساكنة.
- استهلاك الطاقة الديناميكي: وهو الناتج عن مرور التيار عندما تكون الترانزيستورات في المنطقة الفعالة لحظة تبديل قيمة الخرج، وهو يزداد مع ازدياد تردد العمل.

2.1.7 الدراسات السابقة:

لقد أضافت الحاجة الشديدة لأنظمة الطاقة المنخفضة بُعدًا آخر لمشكلة تصميم الأنظمة الرقمية والتي تعتبر في الأساس معقدة، لأنه يجب تخفيض استهلاك الطاقة (Richelli، 2021) بالإضافة إلى قيود الأداء والمساحة. نستعرض فيما يأتي أهم الدراسات السابقةالتي اجريت لتقنيات للطاقة المنخفضة (low power):

- رسم الخرائط التقنية (technology mapping) (Yeh، Chang، وWang، 1999)، (Joshi، 2013):بهدف تقليل حمل السعة الكلي ومتوسط أنشطة التحويل عن طريق التعيين المناسب(capacitance load and average switching activities via proper mapping).
- قياس جهد العرض (supply-voltage scaling) (Mitko Veleski، 2018)، (Shoya Sonoda، 2020):يؤدي الانخفاض الطفيف في الجهد إلى تقليل الطاقة بشكل كبير، بسبب الاعتماد التربيعي للجهد على الطاقة(quadratic (dependence of voltage on power، كلا الطريقتين المذكورتين أعلاه يمكن أن تقلل من استهلاك الطاقة بكفاءة، ولكن قد تؤدي أيضًا إلى إبطاء الإنتاجية الحاسوبية أو زيادة مساحة التخطيط.(Layout area).
- إعادة ترتيب الترانزستور (transistor reordering) (S. M. Rezaul Hasan، 2002)، (Jae Woong Chun، 2016): تم العمل على إعادة ترتيب الترانزستور(transistor reordering) وتحجيم الترانزستور(transistor sizing)، من وجهة نظر وقت وصول الإشارة (signal arrival time)، لتحسين التأخير والمساحة واستهلاك الطاقة. النهج المذكور في (Jae Woong Chun، 2016) يعتمد على احتمالية انتقال الإشارة لتقليل تردد إشارة العقد الداخلية (the signal frequency of internal nodes)، الميزة الأهم لهذه التقنية أنه يمكن استخدامها مع خوارزميات أخرى لتقليل استهلاك الطاقة دون أي تدهور آخر في الأداء.
- العمل مع مستويات متعددة للجهد والتردد (multiple voltage-frequency levels) (Vasilakis، Sourdis، Papaefstathiou، Psathakis، وKatevenis، 2017) تشغيل الانوية المتعددة لمعالج ARM بمستويات مختلفة من الجهد والتردد بهدف توفير الطاقة المستهلكة

2.7 المبحث الثاني- تعديل تصميم وحدة التحكم

1.2.7 توصيف تعليمات المعالج مكروبًا:

الهدف من إعادة توصيف تعليمات المعالج مكروباً وتعديل اصدار الواحدات والاصفار هو تقليل تأخير الانتشار وكذلك شحن وتفريغ السعات الداخلية لتحقيق استهلاك منخفض للطاقة.

استنادًا إلى احتمالات تكرار تنفيذ التعليمات، ومعدل توارد التعليمات مع بعضها البعض خلال تنفيذ البرامج، والإشارات الداخلية التي تصدرها وحدة التحكم في المعالج (Mathur، 2010)،(Godse وGodse، 2020) ،ومعدل الانتقال من 0 إلى 1 على خطوط التحكم، نقترح في هذا البحث مجموعة من قواعد إعادة توصيف الشيفرة الميكروبة لمجموعة التعليمات الأساسية والأكثر تواردا مع بعضها البعض بحيث يتم تخفيض معدل الانتقال بين 0 و1 في العقد الداخلية. الميزة الأهم هي أنه حافظنا على الأداء بالإضافة إلى تقليل استهلاك الطاقة بكفاءة.

تم تحليل سلوك كل من استهلاك الطاقة الديناميكي والثابت في تقنية CMOS. يتم تقييم استهلاك الطاقة حسب التوصيف المكروي الأساسي لمجموعة من التعليمات الأهم للمعالج، تمت دراسة مجموعة من برامج المعالج X8086 لتحليل مدى تكرار استدعاء التعليمات وتحديد معدل توارد التعليمات وتحديد التوصيف المكروي للتعليمات المستدعاة لمعرفة سلسلة الواحدات والأصفار الواردة على كل خط تحكم صادر عن وحدة التحكم على حدة، يتم النظر في معدل الانتقال ما بين الجهد المرتفع والجهد المنخفض على كل خط تحكم مع تنفيذ كل تعليمة في كل دورة خلال نبضة الساعة الواحدة ضمن الدورات المتعددة(Multi-cycle) وايضا دراسة معدل الانتقال عند الانتقال من تعليمة إلى اخرى ودراسة أهمية هذه الانتقالات ومدى تغييرها خلال استدعاء التعليمات المختلفة وتأثير هذه الانتقالات على الأداء العام فيما يتعلق باستهلاك الطاقة.

قمنا في هذا البحث بتنفيذ الآتي:

- دراسة تعليمات المعالج X8086 الأكثر أهمية ومتكررة الاستخدام.
- تحديد التوصيف المكروي اللازم لكل تعليمة على حدة مع تحديد توقيت اصدارها ضمن أي دورة.
- تحديد اكثر التعليمات استدعاء وتواردًا بشكل متتالي.
- تصميم مكروي جديد لوحدة التحكم راعينا فيه تقليل الانتقالات ضمن إشارات التحكم الصادرة عند تنفيذ التعليمات كل تعليمة على حدة، وللتعليمات المتتالية، دون المساس بأداء المعالج.
- تحليل سلوك وتفاعل استهلاك الطاقة للتصميم الجديد المقترح لوحدة التحكم.
- تحليل النتائج لوحدة التحكم المطورة.
- وضع الملاحظات والاستنتاجات النهائية.

2.2.7 تصنيف تعليمات لغة التجميع (Assembly instructions) ووظائفها:

كلما كانت الانتقالات الداخلية أقل كانت الطاقة المستهلكة أقل. لذلك عملنا في هذا البحث على تقديم توصيف مكروي جديد يخفض عدد الانتقالات على خطوط التحكم ويقلل بالتالي من الطاقة المستهلكة. تمت هذه الدراسة من أجل المراحل المختلفة للتعليمة نفسها ومن أجل التعليمات المتتابعة.

تم تحديد إشارات التحكم الصادرة عن وحدة التحكم والمتولدة في كل دورة من دورات التعليمة قيد التنفيذ. كذلك تم تحديد مقدار الانتقالات (Transitions) في إشارات التحكم المختلفة وبحسب التعليمات المتتابعة.

واستخدمنا في هذا البحث مجموعة برامج معيارية [12.13] عددها /32/ برنامجًا تمثل طيفًا واسعًا من البرامج بحيث نضمن عمومية نتائجنا في تصنيف التعليمات الأكثر تتاليًا تمهيدًا لتحسين بنية وحدة التحكم.

البرامج المعيارية المدروسة تحتوي تعليمات انظمة التشغيل مثل تحريك المؤشر، قراءة ملف والاظهار للرموز وقراءة مفاتيح لوحة المفاتيح وخوارزمية الترتيب الفقاعي وخوارزميات التصنيف وكل ما يقابلها بلغة التجميع لمعالج X8086 كالتالي:

الجدول(2) تحليل توارد وتجاور تعليمات لغة التجميع بالبرامج المعيارية المدروسة

	MOV	XOR	INC	DEC	CMP	JC	JNZ	XCHG	LOOP	DIV	JNC	AND	SHR	ADD	DAA	ADC	ROR	MUL	SUB	TEST	CALL	INT	PUSH	POP	RET	LEA	JMP	JE	JB
MOV	206	12	29	4		4	3	2	14	3	2	3	1	8	4	3		11	3		5	40	7	1	1	29	9	7	1
XOR	6	1	1						2			1	1									3	4	1				1	
INC	42	1	8	5	1			2			4			2							2	4	3	1			1	2	
DEC	8		6				1	1													1							1	
CMP	11		6	2					3					2				1				3	2				5	4	6
JC					5									1															
JNZ				5								1								1									
XCHG	2			1		1		1			1																		
LOOP	9		20				1										3				3	5				1	1		
HLT	16						1		11									1				14			5				
DIV	3	1																											
JNC					5									2					2										
AND	1		4																1					3			1		
SHR	4								3																				
ADD	13		1		1		1												1			2				1		2	1
DAA														3		1													
ADC	4																												
ROR													3																
MUL	13	2																2											

	MOV	XOR	INC	DEC	CMP	JC	JNZ	XCHG	LOOP	DIV	JNC	AND	SHR	ADD	DAA	ADC	ROR	MUL	SUB	TEST	CALL	INT	PUSH	POP	RET	LEA	JMP	JE	JB
SUB	6																										1		1
TEST	1																												
CALL	6		1																		1	1				5			
INT	67	1										3										9				18		1	
PUSH	1					1				1	1							2				4	23	1	5				
POP	5								8													1	1	23				1	
RET																						2		9					
LEA	32								2					1							2	13		1		2	2		
JMP	4		1	1	1							1		4					1			1						5	1
JE		1			2 3							1																	
JB					9																								

من دراستنا لإشارات التحكم الصادرة عن تعليمات المعالج قمنا بتقسيم التعليمات إلى مجموعات حسب إشارات التحكم التي تصدرها وتم تصنيف مقدار ترابطها نسبة تكرار التعليمات هي كالتالي

الجدول (3) تحليل توارد وتجاور لغات التجميع حسب مجموعات التعليمات

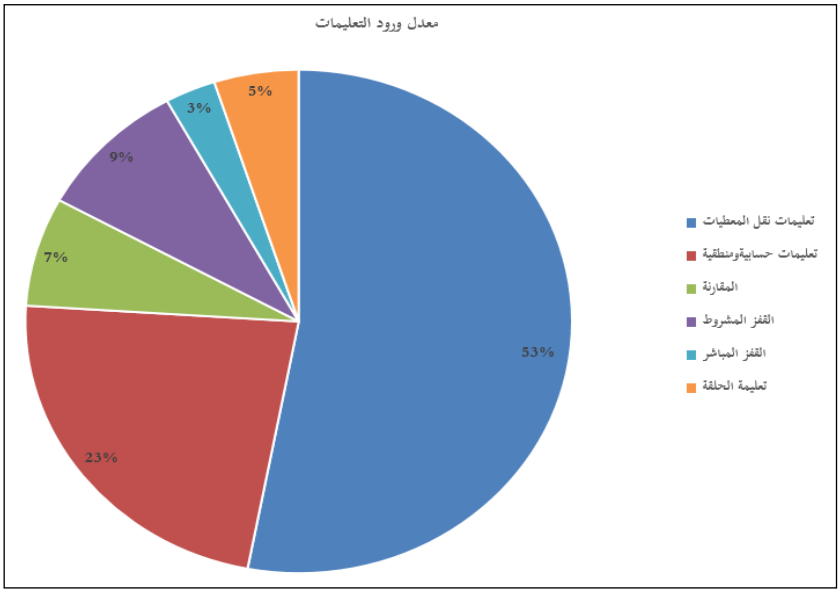
معدل توارد التعليمات	تعليمات نقل المعطيات	تعليمات حسابية ومنطقية	المقارنة	القفز المشروط	القفز المباشر	تعليمة الحلقة
تعليمات نقل المعطيات	211	67	0	19	9	14
تعليمات حسابية ومنطقية	83	36	2	14	3	2
المقارنة	11	10	0	10	5	3
القفز المشروط	0	13	42	0	0	0
القفز المباشر	4	8	1	6	0	0
تعليمة الحلقة	9	20	0	1	1	0
HLT	16	0	0	1	0	11

3.2.7 دراسة مجموعة من برامج الاسمبلي المعيارية:

قمنا باختيار عدد من برامج لغة التجميع (Agarwal)،(AmishTandon، 2018) الاكثر تنفيذا على المعالجات وهي: برامج خوارزميات ترتيب المعطيات والبحث عن البيانات والمعالجة الرياضية ومعالجة المصفوفات بهدف تحديد اكثر تعليمات لغة التجميع تنفيذا من قبل المعالجات ،قمنا بتقسيم التعليمات حسب طبيعة عملها وإشارات التحكم التي تصدرها إلى مجموعات وتحديد معدل تكرار تنفيذ كل تعليمة على حدى، وتحديد معدل توارد تنفيذ التعليمات اي تحديد التعليمات الاكثر تنفيذا خلف بعضها البعض وكانت كالتالي ضمن عينة البرامج المعيارية المدروسة:

الجدول 1 معدل توارد التعليمات ضمن برامج لغة التجميع المعيارية المدروسة

مجموعة التعليمات	نسبة التكرار
تعليمات نقل المعطيات	53%
تعليمات حسابية ومنطقية	23%
المقارنة	7%
القفز المشروط	9%
القفز المباشر	3%
تعليمة الحلقة	5%

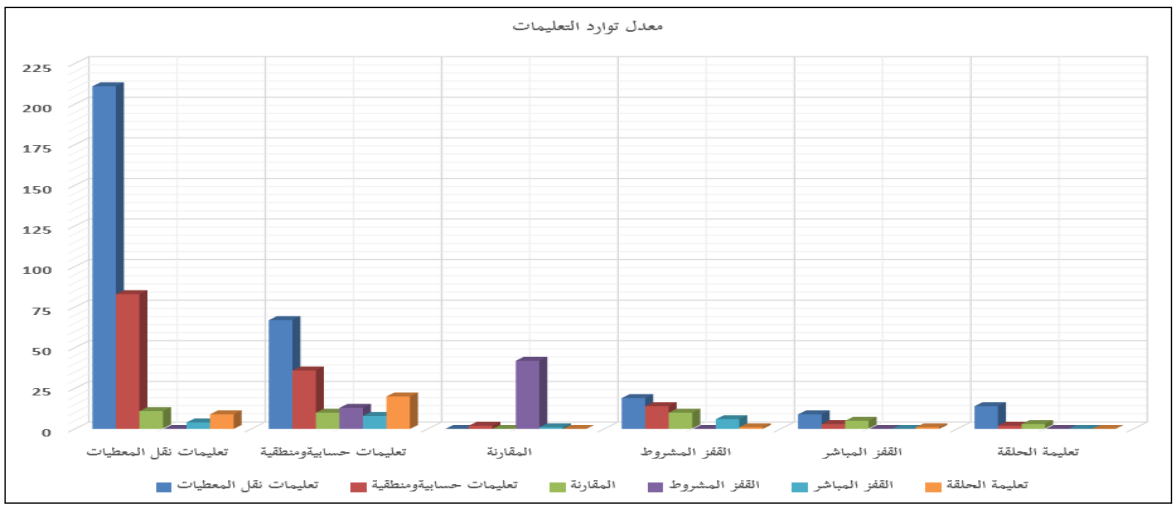


الشكل (2) معدل ورود التعليمات ضمن برامج التجميع

فيما يلي توضيح لمعدل توارد التعليمات وطلبها خلف بعضها البعض:

الجدول (5) معدل توارد التعليمات خلف بعضها البعض ضمن برامج لغة التجميع المعيارية المدروسة

توارد التعليمات	تعليمات نقل المعطيات	حسابية ومنطقية	المقارنة	القفز المشروط	القفز المباشر	تعليمة الحلقة
تعليمات نقل المعطيات	34.9%	11.1%	0.0%	3.1%	1.5%	2.3%
تعليمات حسابية ومنطقية	13.7%	6.0%	0.3%	2.3%	0.5%	0.3%
المقارنة	1.8%	1.7%	0.0%	1.7%	0.8%	0.5%
القفز المشروط	0.0%	2.2%	7.0%	0.0%	0.0%	0.0%
القفز المباشر	0.7%	1.3%	0.2%	1.0%	0.0%	0.0%
تعليمة الحلقة	1.5%	3.3%	0.0%	0.2%	0.2%	0.0%



الشكل (3) معدل توارد التعليمات

ومنه نجد أن نسبة ترابط التعليمات ضمن البرامج المعيارية كانت كالتالي:

الجدول (6) معدل ترابط التعليمات في البرامج المعيارية المدروسة

نسبة ترابط التعليمات	التعليمة التالية لها	التعليمة
34.9%	تعليمات نقل المعطيات	تعليمات نقل المعطيات
13.70%	تعليمات حسابية ومنطقية	تعليمات نقل المعطيات
11.10%	تعليمات نقل المعطيات	تعليمات حسابية ومنطقية
7.00%	القفز المشروط	تعليمات مقارنة
6.00%	تعليمات حسابية ومنطقية	تعليمات حسابية ومنطقية
3.30%	تعليمات الحلقة	تعليمات حسابية ومنطقية
3.10%	تعليمات نقل المعطيات	القفز المشروط
2.30%	تعليمات نقل المعطيات	تعليمات الحلقة
2.30%	تعليمات حسابية ومنطقية	القفز المشروط
2.20%	القفز المشروط	تعليمات حسابية ومنطقية
1.70%	تعليمات مقارنة	القفز المشروط
1.70%	تعليمات مقارنة	تعليمات حسابية ومنطقية

ثم قمنا بتحديد التوصيف الميكروي لكل تعليمة من تعليمات لغة التجميع المدروسة، اي قمنا بتحديد إشارات التحكم التي تصدرها وحدة التحكم لتنفيذ كل تعليمة تجميع بناء على شيفرتها Opcode للمعالجات التي تعمل بالمعمارية CISC بشكل متعدد الدورات MULTI CYCLE واعتمدنا معيارية وتعليمات المعالج (Godse & Godse, X8086(2020.

الجدول (7) التوصيف المكروي لتعليمات التجميع المدروسة بالبحث

عمل التعليمة	التوصيف الميكروي للتعليمة	Instruction	Opcode
نقل محتوى مسجل غرض عام لمسجل غرض عام آخر (عنونة فورية)	Rdst_WR،T3: Rsrc_RD	Rsrc،MOV Rdst	OP0
	T4:TG_RST		
نقل محتوى حجرة ذاكرة لمسجل غرض عام	MAR_WR،T3:PC_RD	[MEM]،MOV RN	OP1
	MDR_EXT_WR،T4:MEM_OE(ROM)		
	MAR_WR،T5:MDR_RD		
	MDR_EXT_WR،T6:MEM_OE		
	T7:MDR_RD, Rn_WR, PC_INC		
	T8:TG_RST		
نقل محتوى مسجل غرض عام لحجرة ذاكرة	T3:PC_RD, MAR_WR	MOV [MEM] , RN	OP2
	T4:MEM_OE(ROM) , MDR_EXT_WR		
	T5:MDR_RD , MAR_WR		
	T6:Rsrc_RD, MDR_WR		
	T7:MDR_EXT_RD, MEM_WR(RAM), PC_INC		
	T8:TG_RST		

Opcode	Instruction	التوصيف الميكروي للتعليمة	عمل التعليمة
op3	MOV Rn, Imm	T3:PC_RD,MAR_WR	نقل قيمة فورية لمسجل غرض عام
		T4:MEM_OE, MDR_EXT_WR	
		T5:MDR_RD, Rn_WR, PC_INC	
		T6:TG_RST	
OP4	INC Rn	T3:INC_Rn	زيادة قيمة مسجل غرض عام بمقدار واحد
		T4:TG_RST	
OP5	DEC Rn	T3:DEC_Rn	انقاص قيمة مسجل غرض عام بمقدار واحد
		T4:TG_RST	
OP6	AND A , R_{src}	T3:Rn_RD, TEMP_WR	تنفيذ عملية AND ما بين مسجل غرض عام ومراكم
		T4:ALU_OE, Rn_WR,FLAG_WR	
		T5:TG_RST	
OP7	OR A , R_{src}	T3:Rn_RD, TEMP_WR	تنفيذ عملية OR ما بين مسجل غرض عام ومراكم
		T4:ALU_OE, Rn_WR,FLAG_WR	
		T5:TG_RST	
OP8	NOT R_n	T3:Rn_RD, Acc_WR	تنفيذ NOT على محتوى مسجل الغرض العام
		T4:ALU_OE, Rn_WR	
		T5:TG_RST	
OP9	ADD A , R_{src}	T3:Rn_RD, TEMP_WR	تنفيذ عملية الجمع بدون حمل ما بين مسجل غرض عام ومراكم
		T4:ALU_OE, Rn_WR,FLAG_WR	
		T5:TG_RST	
OP10	SUB A , R_{src}	T3:Rn_RD, TEMP_WR	تنفيذ عملية الطرح ما بين مسجل غرض عام ومراكم
		T4:ALU_OE, Rn_WR,FLAG_WR	
		T5:TG_RST	
OP11	CMP A , R_{src}	T3:Rn_RD, TEMP_WR	تنفيذ عملية المقارنة ما بين مسجل غرض عام ومراكم
		T4:ALU_OE,FLAG_WR	
		T5:TG_RST	
OP12	LOOP address	IF LOOP = 1: T3:R2_DEC, PC_RD, MAR_WR	تكرار تعليمات بشكل حلقي وبعدد مرات مخزن في المسجل R2
		T4:MEM_OE,MDR_EXT_WR	
		T5:MDR_RD, PC_WR	
		T6:TG_RST	
		ELSE: T3:PC_INC	
		T4:TG_RST	

Opcode	Instruction	التوصيف الميكروي للتعليمة	عمل التعليمة
OP13	JFLAG address / JNFLAG address	IF JMP = 1 T3:PC_RD, MAR_WR	القفز المشروط مع قيمة العلم
		T4:MEM_OE,MDR_EXT_WR	
		T5:MDR_RD, PC_WR	
		T6:TG_RST	
		ELSE: T3:PC_INC	
		T4:TG_RST	
OP14	JMP ADDRESS	T3:PC_RD, MAR_WR	القفز المباشر للعنوان ADDRESS
		T4:MEM_OE,MDR_EXT_WR	
		T5:MDR_RD, PC_WR	
		T6:TG_RST	
OP15	HLT	T3: ALL RESET	تصفير المعالج
		T4:TG_RST	

3.7 المبحث الثالث- نتائج البحث:

ثم تم تشكيل جداول إشارات التحكم الصادرة مع تنفيذ كل تعليمة في كل دورة تعليمة كما هو موضح بالملحق A والملحق B.

ثم قمنا بوضع جداول التفعيل لأقطاب التحكم الصادرة عن وحدة التحكم عند التنفيذ، كما هي موضحة بالملحق C.

ساعدت الجداول المذكورة في كل من الملحق A وB على تحديد معدل الانتقالات الداخلية ضمن وحدة التحكم والناتجة عن تنفيذ التعليمة ، لذلك تم وضع القيود الآتية على تعديل إشارات التحكم:

1- لا يجوز توليد اشارة كتابة لذاكرة أو لمسجل غرض عام دون وجود عملية كتابة في أحدهما.
2- لا يجوز الكتابة بمسجل الاعلام في حال كانت التعليمة لا تؤثر في مسجل التعليمات.
3- لا يجوز تصفير مسجل أو إنقاص أو زيادة قيمته خارج التعليمة الخاصة به.

ومنه أعدنا جدول التوصيف المكروي ليصبح كما هو موضح بالملحق D.

ومن ثم أعدنا توصيف وحدة التحكم للمعالج المدروس بعد اجراء التعديلات عليها كما هو بالجدول السابق ومن ثم درسنا كل من التصميم الأساسي وتصميمنا المطور وباستخدام الأدوات الموضحة بالجدول السابق حللنا الأداء واستهلاك الطاقة لنتوصل لما يأتي:

1.3.7 سرعة الانتشار:

التصميم المطور تم فيه اصدار إشارات تحكم لم تكون موجودة في التصميم الأساسي بهدف المحافظة على قيمة اشارة ما على 1 لتقليل انتقالها وتارجحها ما بين 1 و0 وبالتالي تقليل الطاقة المستهلكة مما ادى إلى زيادة طول المسار الحرج بشكل طفيف وزيادة عدد المستويات المنطقية الموصفة لوحدة التحكم بمقدار مستوى واحد فقط كالتالي:

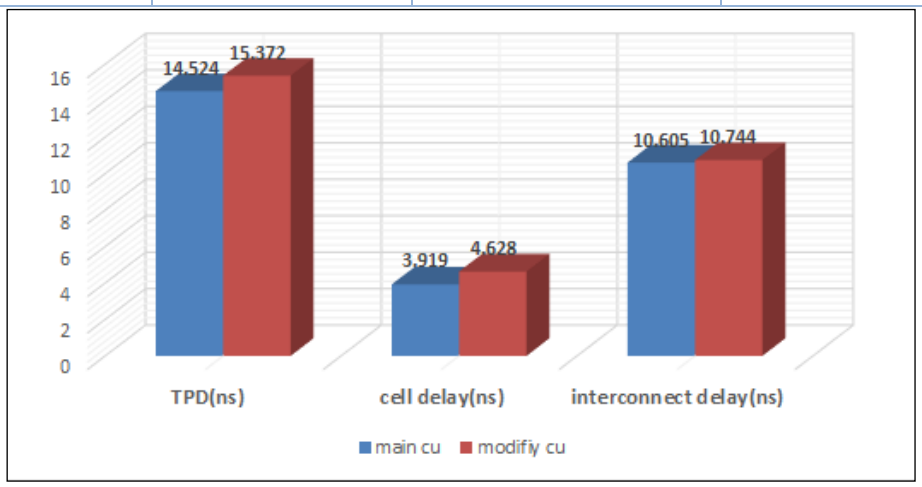
الجدول (8) توضيح أقطاب الدخل والخرج والمستويات المنطقية للتصميم

	input pins	output pins	logic cells
main CU	27	33	43
modify CU	27	33	44

وسرعة الانتشار كانت كالتالي:

الجدول (9) سرعة الانتشار (ns)

	TPD(ns)	cell delay(ns)	interconnect delay(ns)
main CU	14.524	3.919	10.605
modify CU	15.372	4.628	10.744



الشكل (4) سرعة الانتشار (ns)

2.3.7 الطاقة المستهلكة:

اصحبت اقل كالتالي:

الجدول (10) الطاقة المستهلكة (mw)

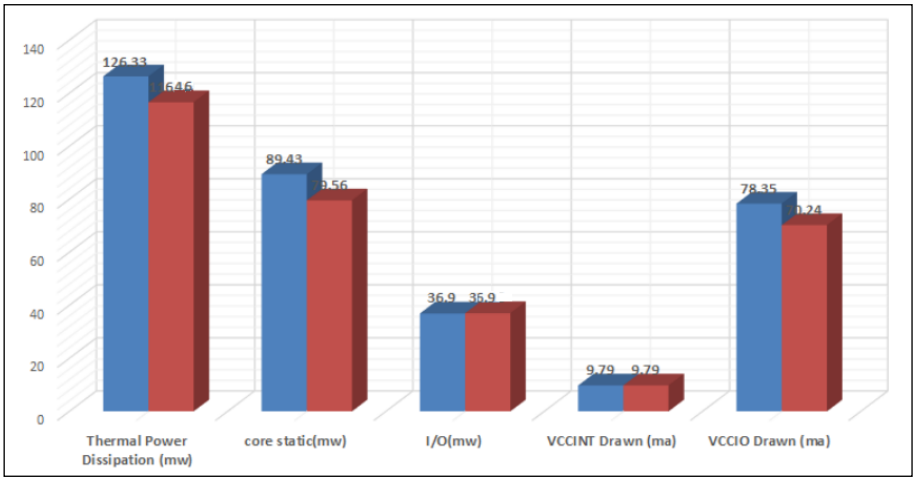
	Thermal Power Dissipation (mw)	core static(mw)	I/O(mw)
main CU	126.33	89.43	36.9
modify CU	116.46	79.56	36.9

والتيارات الداخلية المسحوبة

الجدول2 التيار المسحوب (ma)

	VCCINT Drawn (ma)	VCCIO Drawn (ma)
main CU	9.79	78.35
modify CU	9.79	70.24

ومنه نجد أنه تم تخفيض الطاقة الداخلية المستهلكة بمقدار 9.87mw وبنسبة 7.81% وبقي الاداء تقريبا على حاله حيث سرعة الانتشار زادت 0.8 ns بمعدل 5.84%.



الشكل (5) الطاقة المستهلكة

ومنه نجد ان تقليل الطاقة الذي تم الحصول عليه جيد جدا وابقينا الاداء على حاله تقريبا

8. مناقشة نتائج البحث.

من أجل تقليل الانتقالات الداخلية قمنا بتوليد إشارات ضمن المحاذير المذكورة سابقا من اجل الحفاظ على عدد الانتقالات اقل لتقليل تفريغ وشحن سعة الحمولة الداخلية لبوابات CMOS وهذا ساعد على توفير الطاقة وتحقيق الهدف من البحث لكنه زاد من طول المسار الحرج وبالتالي زادت سرعة الانتشار لكن تقليل الطاقة الذي تم التوصل له جيد جدا مقارنة بزيادة سرعة الانتشار.

9. الخلاصة

وكما وضحنا سابقا في مشكلة الدراسة النظرية انه كلما ازدادت الانتقالات ازدادت سعات الحمولة والشحن والتفريغ الداخلي ضمن دارات CMOS لذلك لتقليل الطاقة الداخلة المستهلكة وقت تنفيذ البرامج لابد من العمل على تقليل الانتقالات الداخلية على خطوط التحكم وهذا يمكن تحقيقه بإبقاء الإشارات قدر الإمكان محافظة على قيمتها عند الانتقال من دورة لأخرى ضمن تنفيذ التعليمة الواحدة أو عند الانتقال من تنفيذ تعليمة إلى تعليمة أخرى لذلك تم تحديد التعليمات التي غالبا ما تَتَتَابَع لكي نحافظ على تقليل الانتقالات دون التأثير على الوظيفة الأساسية للتعليمة.

تؤثر الانتقالات الداخلية على سعة الحمول للبوابات المنطقية من النوع CMOS لذلك تقليل الانتقالات يؤثر على الطاقة المستهلكة بشكل ملحوظ.

10.التوصيات والمقترحات.

بناءً على النتائج يوصي الباحثون ويقترحون ما يلي:

1- قياس تأثر تطبيق تقليل الانتقالات على استهلاك الطاقة الديناميكي اثناء تنفيذ البرامج.
2- دراسة أثر تيار التسريب على استهلاك الطاقة.
3- تطبيق تقليل الانتقالات على المعالج RISC.

قائمة المراجع.

- Agarwal, T. (n.d.). 8086 Assembly Language Programs. Retrieved 10 12, 2021, from elprocus: https://www.elprocus.com/8086-assembly-language-programs-explanation
- AmishTandon. (2018). 8086 PROGRAMS. Retrieved Dec 10, 2021, from geeks for geeks: https://www.geeksforgeeks
- Bol, D., Ambroise, R., Flandre, D., & Legat, J. (2008). Analysis and minimization of practical energy in 45nm subthreshold logic circuits. Computer Design IEEE International Conference (pp. 294–300). IEEE.
- Bol, D., Ambroise, R., Flandre, D., & Legat, J. (2009). Interests and limitations of technology scaling for subthreshold logic. Very Large Scale Integration (VLSI) Systems (pp. 1508–1519). IEEE Transactions on 17(10).
- Brzozowski, I., & A, K. (2008). A New Approach to Power Estimation and Reduction in CMOS Digital Circuits.
- Godse, D., & Godse, A. (2020). Microprocessors and Microcontrollers. In D. Godse, & A. Godse, *8086 and 8051 Architecture, Programming and Interfacing* (p. 618). Paperback Published.
- Jae Woong Chun, C. R. (2016). Transistor and pin reordering for leakage reduction in CMOS circuits. Microelectronics Journal, 25-34.
- Joshi, V. K. (2013). Probabilistic power analysis technique for low power VLSI circuits. Industrial and Information Systems (ICIIS) (pp. 616-621). IEEE.
- Kuroda, T., Suzuki, K., Mita, S., Fujita, T., Yamane, F., Sano, F., et al. (1998). Variable supply-voltage scheme for low-power high-speed CMOS digital design. Solid-State Circuits (pp. 454–462). IEEE.
- Mathur, S. (2010). Microprocessor 8086: Architecture, Programming and Interfacing. Kindle.
- Mitko Veleski, R. K. (2018). The Effects of Voltage Scaling on Reliability and Power Consumption in Multiprocessor Systems. Conference: Testmethoden und Zuverlässigkeit von Schaltungen und Systemen. Freiburg, Germany
- PENZES, P., NYSTROM, M., & AND MARTIN, A. (2002). Transistor sizing of energy-delay-efficient circuits. California: California Institute of Technology.
- POLLACK, F. (1999). New microarchitecture challenges in the coming generations of CMOS process technologies. International Symposium on Microarchitecture.
- PONOMAREV, D., KUCUK, G., & AND GHOSE, K. (2001). Reducing power requirements of instruction scheduling through dynamic allocation of multiple datapath resources. the 34th Annual ACM/IEEE International Symposium on Microarchitecture, pp. 90–101.
- Richelli, A. (2021). Low-Voltage Integrated Circuits Design and Application. Retrieved from https://doi.org/10.3390/ electronics10010089

- S. M. Rezaul Hasan, Y. W. (2002). Reduction of Power Dissipation in Dynamic BiCMOS Logic Gates by Transistor Reordering. VLSI Design, 7 pages.
- Shakhsheer, Y., Zhang, Y., Otis, B., & Calhoun, B. (2012). A custom processor for node and power management of a battery-less body sensor node in 130 nm CMOS. In Proceedings of the IEEE Custom Integrated Circuits Conference, (pp. 1-4). San Jose, CA, USA.
- Shakhsheer, Y., Zhang, Y., Otis, B., & Calhoun, B. (2012). A custom processor for node and power management of a battery-less body, sensor node in 130 nm CMOS. In Proceedings of the IEEE 2012 Custom Integrated Circuits Conference, (pp. 1-4). San Jose, CA, USA.
- Shoya Sonoda, J. S. (2020). Dynamic Supply and Threshold Voltage Scaling towards Runtime Energy Optimization over a Wide Operating Performance Region. 33rd International System-on-Chip Conference (SOCC),. Kyoto U: IEEE.
- Stallings, W. (2010). *Computer Organization and Architecture Designing for Performance* (10 ed.). Hoboken.
- Su, F., Chen, W., Xia, L., Lo, C., Tang, T., Wang, Z., et al. (2017). A 462GOPs/J RRAM-based nonvolatile intelligent processor for energy harvesting IoE system featuring nonvolatile logics and processing-in-memory. In Proceedings of the 2017 Symposium on VLSI Technology, (pp. T260–T261). Kyoto, Japan.
- Tiwari, V., Ashar, P., & Malik, S. (1993). Technology Mapping for Low Power. In ACM/IEEE 30th Design Automation Conference, (pp. 74-79).
- Tsui, C. Y., Pedram, M., & Despain, A. M. (1993). Technology Decomposition and Mapping Targeting Low Power Dissipation. In ACM/IEEE 30th Design Automation Conference, (pp. 68-73).
- Vasilakis, E., Sourdis, I., Papaefstathiou, V., Psathakis, A., & Katevenis. (2017). M.G.H. Modeling energy-performance tradeoffs in ARM big.LITTLE architectures. In Proceedings of the 2017 27th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS), (pp. 1–8,25–27). greece.
- Y, L., C, L. T., & Z., S. W. (1994). A Cell-Based Power Estimation in CMOS Combinational Circuits. IEEE International Conference on Computer-Aided Design (pp. 304- 309). IEEE.
- Yeh, C., Chang, C.-C., & Wang, J.-S. (1999). Technology mapping for low power. Design Automation Conference 1999, (pp. 145-148). Asia and South Pacific.

الملحق A

الجدول (2) التشفير لكل OPCODE تعليمة من التعليمات المدروسة بالبحث

instruction	OPCODE	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
MOV RN.RN	0	0	0	0	0	Rd1	Rd0	Rs1	Rs0
MOV RN.[MEM]	1	0	0	0	1	Rd1	Rd0	x	x

instruction	OPCODE	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0
MOV [MEM],RN	2	0	0	1	0	x	x	Rs1	Rs0
MOV RN,IMED	3	0	0	1	1	Rd1	Rd0	x	x
INC RN	4	0	1	0	0	Rd1	Rd0	x	x
DEC RN	5	0	1	0	1	Rd1	Rd0	x	x
AND	6	0	1	1	0	Rd1	Rd0	Rs1	Rs0
OR	7	0	1	1	1	Rd1	Rd0	Rs1	Rs0
NOT	8	1	0	0	0	Rd1	Rd0	Rs1	Rs0
ADD	9	1	0	0	1	Rd1	Rd0	Rs1	Rs0
SUB	10	1	0	1	0	Rd1	Rd0	Rs1	Rs0
CMP	11	1	0	1	1	Rd1	Rd0	Rs1	Rs0
LOOP	12	1	1	0	0	x	x	x	x
JF/JNF	13	1	1	0	1	X	a/n	flag1	flag0
JMP	14	1	1	1	0	x	x	x	x
HLT	15	1	1	1	1	x	x	x	x

الجدول (3) أقطاب التحكم لوحدة العمليات الحسابية والمنطقية لمعالج البحث المدروس

ALU_OP			FUNCTION
0	0	0	AND
0	0	1	OR
0	1	0	NOT
1	0	0	ADD
1	0	1	SUB

الملحق B

إشارات تحكم تعليمات نقل المعطيات		
CONTROL SIGNALS	CYCLES	OPCODE
Rn_WR	T3	OP0
Rn_RD	T3	OP0
TG_RST	T4	OP0
MAR_WR	T3	OP1
PC_RD	T3	OP1
MDR_EW	T4	OP1
MEM_RD	T4	OP1
MDR_RD	T5	OP1
MAR_WR	T5	OP1
MDR_WR	T6	OP1
Rn_RD	T6	OP1

إشارات تحكم تعليمات نقل المعطيات		
MDR_ER	T7	OP1
MEM_WR	T7	OP1
PC_INC	T7	OP1
TG_RST	T8	OP1
MAR_WR	T3	OP2
PC_RD	T3	OP2
MDR_EW	T4	OP2
MDR_RD	T5	OP2
MAR_WR	T5	OP2
MDR_EW	T6	OP2
MEM_RD	T6	OP2
Rn_WR	T6	OP2
MDR_RD	T7	OP2
PC_INC	T7	OP2
TG_RST	T8	OP2
MAR_WR	T3	OP3
PC_RD	T3	OP3
MDR_EW	T4	OP3
MEM_RD	T4	OP3
PC_INC	T4	OP3
MDR_RD	T5	OP3
Rn_WR	T5	OP3
TG_RST	T6	OP3

إشارات تحكم تعليمات حسابية ومنطقية			
CONTROL SIGNALS	CYCLES	OPCODE	ALU CONTROLS
Rn_Inc	T3	OP4	
Flag_WR	T3	OP4	
TG_RST	T4	OP4	
Rn_Dec	T3	OP5	
Flag_WR	T3	OP5	
TG_RST	T4	OP5	
Rn_RD	T3	OP6	NOT C2 NOT C1 NOT C0
TempB_WR	T3	OP6	NOT C2 NOT C1 NOT C0
Rn_WR	T4	OP6	NOT C2 NOT C1 NOT C0
ALU_OE	T4	OP6	NOT C2 NOT C1 NOT C0
Flag_WR	T4	OP6	NOT C2 NOT C1 NOT C0
TG_RST	T5	OP6	NOT C2 NOT C1 NOT C0

إشارات تحكم تعليمات حسابية ومنطقية			
Rn_RD	T3	OP7	NOT C2 NOT C1 C0
TempB_WR	T3	OP7	NOT C2 NOT C1 C0
Rn_WR	T4	OP7	NOT C2 NOT C1 C0
ALU_OE	T4	OP7	NOT C2 NOT C1 C0
Flag_WR	T4	OP7	NOT C2 NOT C1 C0
TG_RST	T5	OP7	NOT C2 NOT C1 C0
Rn_RD	T3	OP8	NOT C2 C1 NOT C0
TempB_WR	T3	OP8	NOT C2 C1 NOT C0
Rn_WR	T4	OP8	NOT C2 C1 NOT C0
ALU_OE	T4	OP8	NOT C2 C1 NOT C0
Flag_WR	T4	OP8	NOT C2 C1 NOT C0
TG_RST	T5	OP8	NOT C2 C1 NOT C0
Rn_RD	T3	OP9	C2 NOT C1 NOT C0
TempB_WR	T3	OP9	C2 NOT C1 NOT C0
Rn_WR	T4	OP9	C2 NOT C1 NOT C0
ALU_OE	T4	OP9	C2 NOT C1 NOT C0
Flag_WR	T4	OP9	C2 NOT C1 NOT C0
TG_RST	T5	OP9	C2 NOT C1 NOT C0
Rn_RD	T3	OP10	C2 C1 C0
TempB_WR	T3	OP10	C2 C1 C0
Rn_WR	T4	OP10	C2 C1 C0
ALU_OE	T4	OP10	C2 C1 C0
Flag_WR	T4	OP10	C2 C1 C0
TG_RST	T5	OP10	C2 C1 C0

المقارنة CMP			
OPCODE	CYCLES	CONTROL SIGNALS	ALU CONTROLS
OP11	T3	Rn_RD	C2 C1 C0
OP11	T3	TempB_WR	C2 C1 C0
OP11	T3	Flag_WR	C2 C1 C0
OP11	T4	TG_RST	C2 C1 C0

LOOP			
OPCODE	CYCLES	CONTROL SIGNALS	INPUTS
OP12	T3	PC_INC	NOT LOOP
OP12	T4	TG_RST	NOT LOOP

LOOP			
OP12	T3	MAR_WR	LOOP
OP12	T3	PC_RD	LOOP
OP12	T3	R2_DEC	LOOP
OP12	T4	MDR_EW	LOOP
OP12	T4	MDR_EW	LOOP
OP12	T4	MEM_RD	LOOP
OP12	T5	MDR_RD	LOOP
OP12	T5	PC_WR	LOOP
OP12	T6	TG_RST	LOOP

JMP FLAGS			
OPCODE	CYCLES	CONTROL SIGNALS	INPUTS
OP13	T3	MAR_WR	JMPFLAG
OP13	T3	PC_RD	JMPFLAG
OP13	T4	MDR_EW	JMPFLAG
OP13	T4	MEM_RD	JMPFLAG
OP13	T5	MDR_RD	JMPFLAG
OP13	T5	PC_WR	JMPFLAG
OP13	T6	TG_RST	JMPFLAG
OP13	T3	PC_INC	NOT JMPFLAG
OP13	T4	TG_RST	NOT JMPFLAG

DIRECT JMP		
OPCODE	CYCLES	CONTROL SIGNALS
OP14	T3	MAR_WR
OP14	T3	PC_RD
OP14	T4	MDR_EW
OP14	T4	MEM_RD
OP14	T5	MDR_RD
OP14	T5	PC_WR
OP14	T6	TG_RST

الملحق C

	INSTRUCTION									CU - OUTPUTS																																
	Opcode		Time	loop	IR3	IR2	IR1	IR0	JMP(flag acti	MDR_WR	MDR_RD	MDR_EW	MDR_ER	MDR_RST	MAR_WR	MAR_RST	MEM_WR	MEM_RD	PC_INC	PC_RD	PC_WR	PC_RST	Rn_WR	Rn_RD	Rn_Dec	Rn_Inc	ALU_OE	TempB_WR	TempB_RST	IR_WR	IR_RST	TG_RST	Flag_WR	Flag_CLR	R3_Rst	R2_RST	R1_RST	R0_RST	R2_DEC	C2	C1	C0
دورة جلب التعليمة	XXX	PC_RD,MAR_WR	T0	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MEM_RD,MDR_EW	T1	X	X	X	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		PC_INC,MDR_RD,IR_WR	T2	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	X	X	X
MOV RN,RN	0	RS_RD,RD_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
MOV [MEM],RN	1	MAR_WR, PC_RD	T3	X	X	x	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_EW, MEM_RD,	T4	X	X	x	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD, MAR_WR	T5	X	X	x	X	X	X	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_WR, RN_RD	T6	X	X	x	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_ER, MEM_WR, PC_INC	T7	X	X	x	X	X	X	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T8	X	X	x	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
MOV Rn,[MEM]	2	PC_RD, MAR_WR	T3	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_EW,MEM_RD	T4	X	X	X	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD, MAR_WR	T5	X	X	X	X	X	X	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_EW,MEM_RD	T6	X	X	X	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD, PC_INC, RN_WR	T7	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T8	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
MOV RN,IMEM	3	MAR_WR, PC_RD	T3	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_EW, MEM_RD, PC_INC	T4	X	X	X	X	X	X	0	0	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD, RN_WR	T5	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T6	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
INC RN	4	RN_INC	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
		TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
DEC RN	5	RN_DEC	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
		TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
AND RN,R0	6	RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		RN_WR,ALU_OE,FLAG_WR	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
		TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0

	Opcode		Time	loop	IR3	IR2	IR1	IR0	JMP(flag acti	MDR_WR	MDR_RD	MDR_EW	MDR_ER	MDR_RST	MAR_WR	MAR_RST	MEM_WR	MEM_RD	PC_INC	PC_RD	PC_WR	PC_RST	Rn_WR	Rn_RD	Rn_Dec	Rn_Inc	ALU_OE	TempB_WR	TempB_RST	IR_WR	IR_RST	TG_RST	Flag_WR	Flag_CLR	R3_Rst	R2_RST	R1_RST	R0_RST	R2_DEC	C2	C1	C0
OR RN,R0	7	RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
		RN_WR,ALU_OE,FLAG_WR	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	1
		TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
NOT RN	8	RD, TEMPB_WR,NOTC2, C1, NC	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0
		RN_WR,NOTC2, C1, NOT C0,F	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	0
		TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0
ADD RN,R0	9	RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0
		ALU_OE, RN_WR,ALU_OP	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	0
		TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0
SUB RN,R0	10	RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1
		U_OE, RN_WR,ALU_OP,FLAG_W	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1
		TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1
CMP RN,RN	11	RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1
		TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1
LOOP ADRESS(CX = R2)	12	PC_INC	T3	0	X	X	X	X	X	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T4	0	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
		_RD,MAR_WR,R2_DEC,FLAG_W	T3	1	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	X	X	X
		MEM_RD,MDR_EW	T4	1	X	X	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD,PC_WR	T5	1	X	X	X	X	X	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T6	1	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
JMP FLAG IF FLAG ACTIVE JUMP	13	PC_RD,MAR_WR,RN_DEC	T3	X	X	X	F1	F0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_EW,MEM_RD	T4	X	X	X	F1	F0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD,PC_WR	T5	X	X	X	F1	F0	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T6	X	X	X	F1	F0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
		PC_INC	T3	X	X	X	F1	F0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T4	X	X	X	F1	F0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	X	X	X
JMP ADDRESS	14	PC_RD. MAR_WR	T3	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MEM_RD,MDR_EW	T4	X	X	X	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD,PC_WR	T5	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		TG_RST	T6	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X

	Opcode		Time	loop	IR3	IR2	IR1	IR0	JMP(flag acti	MDR_WR	MDR_RD	MDR_EW	MDR_ER	MDR_RST	MAR_WR	MAR_RST	MEM_WR	MEM_RD	PC_INC	PC_RD	PC_WR	PC_RST	Rn_WR	Rn_RD	Rn_Dec	Rn_Inc	ALU_OE	TempB_WR	TempB_RST	IR_WR	IR_RST	TG_RST	Flag_WR	Flag_CLR	R3_Rst	R2_RST	R1_RST	R0_RST	R2_DEC	C2	C1	C0
HLT	15	,FLAGS_RST,R0_RST,R1_RST,R2	T3	X	X	X	X	X	X	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0	0	1	1	1	1	1	0	X	X	X
		TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X

الملحق D

		INSTRUCTION									CU - OUTPUTS																																
	Opcode	التعديلات لتقليل الانتقالات		Time	loop	IR3	IR2	IR1	IR0	JMP(flag ac	MDR_WR	MDR_RD	MDR_EW	MDR_ER	MDR_RST	MAR_WR	MAR_RST	MEM_WR	MEM_RD	PC_INC	PC_RD	PC_WR	PC_RST	Rn_WR	Rn_RD	Rn_Dec	Rn_Inc	ALU_OE	TempB_WR	TempB_RST	IR_WR	IR_RST	TG_RST	Flag_WR	Flag_CLR	R3_Rst	R2_RST	R1_RST	R0_RST	R2_DEC	C2	C1	C0
دورة جلب التعليمة	XXX		PC_RD,MAR_WR	T0	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
			MEM_RD,MDR_EW	T1	X	X	X	X	X	X	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
			PC_INC,MDR_RD,IR_WR	T2	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	X	X	X
MOV RN,RN	0		RS_RD,RD_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		RN_RD,rn_wr	TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
MOV [MEM],RN	1		MAR_WR, PC_RD	T3	X	X	x	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_EW, MEM_RD,	T4	X	X	x	X	X	X	0	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
			MDR_RD, MAR_WR	T5	X	X	x	X	X	X	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_WR, RN_RD	T6	X	X	x	X	X	X	1	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_ER, MEM_WR, PC_INC	T7	X	X	x	X	X	X	0	0	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		RN_RD	TG_RST	T8	X	X	x	X	X	X	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
MOV Rn,[MEM]	2		PC_RD, MAR_WR	T3	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
			MDR_EW,MEM_RD	T4	X	X	X	X	X	X	0	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
			MDR_RD, MAR_WR	T5	X	X	X	X	X	X	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MDR_RD	MDR_EW,MEM_RD	T6	X	X	X	X	X	X	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
			MDR_RD, PC_INC, RN_WR	T7	X	X	X	X	X	X	0	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		RN_RD	TG_RST	T8	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
MOV RN,IMEM	3		MAR_WR, PC_RD	T3	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_EW, MEM_RD, PC_INC	T4	X	X	X	X	X	X	0	0	1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_RD, RN_WR	T5	X	X	X	X	X	X	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	X
		MAR_WR	TG_RST	T6	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	X	X	X
INC RN	4		RN_INC	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
			TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	X	X	X
DEC RN	5		RN_DEC	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
			TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	X	X	X

	Opcode	التعديلات لتقليل الانتقالات		Time	loop	IR3	IR2	IR1	IR0	JMP(flag a	MDR_WR	MDR_RD	MDR_EW	MDR_ER	MDR_RST	MAR_WR	MAR_RST	MEM_WR	MEM_RD	PC_INC	PC_RD	PC_WR	PC_RST	Rn_WR	Rn_RD	Rn_Dec	Rn_Inc	ALU_OE	TempB_WI	TempB_RS	IR_WR	IR_RST	TG_RST	Flag_WR	Flag_CLR	R3_Rst	R2_RST	R1_RST	R0_RST	R2_DEC	C2	C1	C0
AND RN,R0	6		RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0
			RN_WR,ALU_OE	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
			TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
OR RN,R0	7		RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	1
			RN_WR,ALU_OE	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
			TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1
NOT RN	8		RN_RD, TEMPB_WR,NOTC2, C1, N	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	1	0
			ALU_OE, RN_WR,NOTC2, C1, NC	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
			TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0
ADD RN,R0	9		RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	0
			ALU_OE, RN_WR,ALU_OP	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0
			TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0
SUB RN,R0	10		RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1
			ALU_OE, RN_WR,ALU_OP	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1
			TG_RST	T5	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	1
CMP RN,RN	11		RN_RD,TEMPB_WR	T3	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1
			TG_RST	T4	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	1
LOOP ADRESS(CX = R2)	12		PC_INC	T3	0	X	X	X	X	X	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
			TG_RST	T4	0	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
			PC_RD,MAR_WR,R2_DEC	T3	1	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	X	X	X
		MAR_WR	MEM_RD,MDR_EW	T4	1	X	X	X	X	X	0	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_RD,PC_WR	T5	1	X	X	X	X	X	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
		MAR_WR	TG_RST	T6	1	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	X	X	X
JMP FLAG IF FLAG ACTIVE JUMP	13		PC_RD,MAR_WR,RN_DEC	T3	X	X	X	F1	F0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_EW,MEM_RD	T4	X	X	X	F1	F0	1	0	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_RD,PC_WR	T5	X	X	X	F1	F0	1	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	TG_RST	T6	X	X	X	F1	F0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	X	0	0	0	0	0	X	X	X
		MAR_WR	PC_INC	T3	X	X	X	F1	F0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	TG_RST	T4	X	X	X	F1	F0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	X	0	0	0	0	0	X	X	X

	Opcode	التعديلات لتقليل الانتقالات		Time	loop	IR3	IR2	IR1	IR0	JMP(flag a	MDR_WR	MDR_RD	MDR_EW	MDR_ER	MDR_RST	MAR_WR	MAR_RST	MEM_WR	MEM_RD	PC_INC	PC_RD	PC_WR	PC_RST	Rn_WR	Rn_RD	Rn_Dec	Rn_Inc	ALU_OE	TempB_WI	TempB_RS	IR_WR	IR_RST	TG_RST	Flag_WR	Flag_CLR	R3_Rst	R2_RST	R1_RST	R0_RST	R2_DEC	C2	C1	C0
JMP ADDRESS	14		PC_RD. MAR_WR	T3	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	MEM_RD,MDR_EW	T4	X	X	X	X	X	X	0	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	MDR_RD,PC_WR	T5	X	X	X	X	X	X	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	X	0	0	0	0	0	0	X	X	X
		MAR_WR	TG_RST	T6	X	X	X	X	X	X	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	X	0	0	0	0	0	X	X	X
HLT	15	B_RST,IR_RST,FLAGS_RST,R0_RST,R1_RST,R		T3	X	X	X	X	X	X	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	1	0	X	1	1	1	1	1	0	X	X	X
			TG_RST	T4	X	X	X	X	X	X	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	1	1	X	1	1	1	1	1	0	X	X	X